

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08148567 A**

(43) Date of publication of application: **07.06.96**

(51) Int. Cl.

H01L 21/768

H01L 21/28

H01L 21/3065

H01L 21/316

H01L 21/318

(21) Application number: **06290024**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(22) Date of filing: **24.11.94**

(72) Inventor: **MITSUSAKA EIICHI**

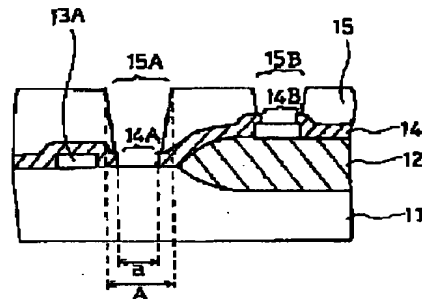
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract

PURPOSE: To improve etching process when forming a multilayer wiring structure.

CONSTITUTION: The title method has a process for forming a first insulation film 14 on a semiconductor 11, a process for forming first openings 14A, 14B in the first insulation film 14, a process for forming a second insulation film 15 which is thicker than the first insulation film 14 on the first insulation film 14 and a process for forming second openings 15A, 15B whose diameter is larger than the first openings 14A, 14B in the second insulation film 15 corresponding to a region wherein the first openings 14A, 14B are formed.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 1 4 8 5 6 7

(43) 公開日 平成 8 年 (1 9 9 6) 6 月 7 日

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

H01L 21/768

21/28

L

F

21/3065

21/316

M

審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平 6 - 2 9 0 0 2 4

(22) 出願日 平成 6 年 (1 9 9 4) 1 1 月 2 4 日

(71) 出願人 0 0 0 0 0 1 8 8 9

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 三坂 栄一

大阪府守口市京阪本通 2 丁目 5 番 5 号 三

洋電機株式会社内

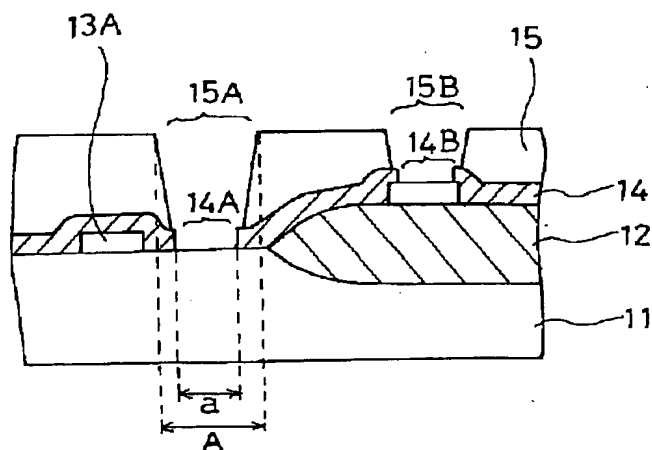
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 半導体装置の製造に関し、多層配線構造を形成する際のエッチング工程の改善に関する。

【構成】 半導体基板 11 上に第 1 の絶縁膜 14 を形成する工程と、第 1 の絶縁膜 14 に第 1 の開口 14A, 14B を形成する工程と、第 1 の絶縁膜 14 上に、該第 1 の絶縁膜 14 よりも膜厚の厚い第 2 の絶縁膜 15 を形成する工程と、第 1 の開口 14A, 14B が形成された領域に対応し、第 1 の開口 14A, 14B よりも大きい径の第 2 の開口 15A, 15B を第 2 の絶縁膜 15 に形成する工程とを有すること。



15A, 15B: 第 2 の開口

【特許請求の範囲】

【請求項 1】 半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜に第 1 の開口を形成する工程と、

前記第 1 の絶縁膜上に、該第 1 の絶縁膜よりも膜厚の厚い第 2 の絶縁膜を形成する工程と、

前記第 1 の開口が形成された領域に対応し、前記第 1 の開口よりも大きい径の第 2 の開口を前記第 2 の絶縁膜に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜に第 1 の開口を形成する工程と、

前記第 1 の絶縁膜上に、該第 1 の絶縁膜よりも膜厚の厚い第 2 の絶縁膜を形成する工程と、

前記第 1 の開口が形成された領域に、前記第 1 の開口よりも大きい径の孔が形成されたマスク材を前記第 2 の絶縁膜上に形成する工程と、

前記マスク材をマスクにして、前記第 1 の開口よりも大きい径の第 2 の開口を前記第 2 の絶縁膜に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3】 前記第 1 の絶縁膜はシリコン窒化膜からなり、第 2 の絶縁膜はシリコン酸化膜からなることを特徴とする請求項 1 又は請求項 2 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、更に詳しく言えば、高段差の多層配線にコンタクトホールを形成する際のエッチング工程の改善に関する。

【0002】

【従来の技術】 以下で、従来例に係るコンタクトホールの形成方法について図面を参照しながら説明する。まず、図 6 に示すように、シリコン基板 (1) 上に素子分離用の LOCOS (Local Oxide of Silicon) 膜 (2) を形成し、シリコン基板 (1) の素子形成領域に配線層 (3A) を、LOCOS 膜 (2) 上に配線層 (3B) を、それぞれ選択形成し、上面全面に BPSG (Boro-phospho Silicate Glass) などからなる平坦化膜 (5) を形成し、その上面にレジスト膜 (6) を形成し、選択露光・現像して、のちにコンタクトホールを形成する領域に開口 (6A, 6B) を選択形成する。

【0003】 次に、図 7 に示すように、レジスト膜 (6) をマスクにして平坦化膜 (5) をドライエッチングなどでエッチング・除去してコンタクトホール (C1, C2) を選択形成して、レジスト膜 (6) を剥離していた。

【0004】

【発明が解決しようとする課題】 しかしながら、上記従

来の製造方法によれば、以下に示すような問題が生じる。すなわち、図 6 に示すように、シリコン基板 (1) の素子形成領域のレジスト膜 (6) に開口 (6A) を形成し、LOCOS 膜 (2) 上のレジスト膜 (6) に開口 (6B) を形成する場合のように、段差のある領域にコンタクトホールを形成しようとする、コンタクトホール形成の際のエッチングで除去すべき平坦化膜 (5) の膜厚が異なり、開口 (6A) を介してエッチングする平坦化膜 (5) の膜厚が、開口 (6B) を介してエッチングする平坦化膜 (5) の膜厚に比して厚くなる。

【0005】 従って、これらをエッチングすると、コンタクトホール (C1, C2) では、断面形状にテーパーを生じるために、そのコンタクト径はレジストマスク (6) の開口 (6A, 6B) よりも狭くなってしまい、所望のコンタクト径を得ることが困難になるという問題が生じていた。さらには、平坦化膜 (5) の膜厚がそれぞれ異なるために、平坦化膜 (5) の厚いコンタクトホール (C1) のコンタクト径 (d) が、平坦化膜 (5) の薄いコンタクトホール (C2) のコンタクト径 (F) よりも狭くなるという問題が生じていた。

【0006】 近年、デザインルールの縮小化に伴い、コンタクト径も 1.0 μm 以下と、微細になっており、コンタクトホール形成のエッチングは、高アスペクト比のエッチングが要求され、上記の問題が相対的に大きくなり、無視出来なくなっており、これらの問題に対応可能な新たな設備が必要になってきていた。

【0007】

【課題を解決するための手段】 本発明は上記従来の欠点に鑑み成されたもので、半導体基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜に第 1 の開口を形成する工程と、前記第 1 の絶縁膜上に、該第 1 の絶縁膜よりも膜厚の厚い第 2 の絶縁膜を形成する工程と、前記第 1 の開口が形成された領域に対応し、前記第 1 の開口よりも大きい径の第 2 の開口を前記第 2 の絶縁膜に形成する工程とを有することにより、段差によって、場所による膜厚の差が大きいような絶縁膜にコンタクトホールを形成する際に、所望のコンタクト径を得ることが可能になる半導体装置の製造方法を提供するものである。

【0008】

【作用】 本発明に係る半導体装置の製造方法によれば、半導体基板上に例えば窒化膜からなる第 1 の絶縁膜を形成し、第 1 の絶縁膜に第 1 の開口を形成し、第 1 の絶縁膜上に、例えば酸化膜からなり、第 1 の絶縁膜よりも厚い第 2 の絶縁膜を形成し、第 1 の開口が形成された領域に対応し、かつ第 1 の開口よりも大きい径の第 2 の開口を第 2 の絶縁膜に形成している。

【0009】 上記の工程において、第 1 の開口は、第 2 の絶縁膜の膜厚よりも薄い第 1 の絶縁膜に開口するので、第 1 の開口の径を所望の径に形成することが比較的容易にできる。その後、第 1 の開口の形成領域上に第 2

の開口を形成して、コンタクトホールを形成することになるが、こうして形成されたコンタクトホールのコンタクト径は事実上第 1 の開口の径に規定されるので、その後形成される第 2 の開口の径がどのような大きさであっても、所望のコンタクト径を確保することが可能になる。

【0010】これにより、従来の様に膜厚の厚い領域にコンタクトホールを形成する際のエッチングで、CD ロスが增大して所望のコンタクト径が得られないことを極力抑止することが可能となる。また、本発明によれば、第 2 の開口を形成する際のエッチングは比較的余裕度が高く、エッチングの条件をそれほど厳密に検討しなくても所望のコンタクト径を得ることができ、製作が比較的容易になる。

【0011】さらに、シリコン窒化膜を第 1 の絶縁膜として用いた場合には、シリコン窒化膜の膜質が密で良好であるため、MOSFET の動作時に生じがちなホットエレクトロン効果に対して強い耐性を得ることが可能になる。

【0012】

【実施例】以下で、本発明の実施例に係るコンタクトホールの形成方法について図面を参照しながら説明する。まず、図 1 に示すように、シリコン基板 (11) 上に素子分離用の LOCOS (Local Oxide of Silicon) 膜 (12) を形成し、シリコン基板 (11) の素子形成領域に配線層 (13A) を、LOCOS 膜 (12) 上に配線層 (13B) を、それぞれ選択形成し、その上面に、膜厚 2000 ~ 3000 Å 程度のシリコン窒化膜 (14) を常法の減圧 CVD 法で形成する。

【0013】次に、図 2 に示すように、ドライエッチングでシリコン窒化膜 (14) を選択的にエッチング・除去して、のちにコンタクトホールを形成する素子形成領域上に第 1 の開口 (14A) を、のちにコンタクトホールを形成する LOCOS 膜 (12) 上に第 1 の開口 (14B) をそれぞれ形成する。次いで、図 3 に示すように、全面に膜厚 8000 ~ 10000 Å の BPSG (Boro-Phospho Silicate Glass) 膜を積層したのちに、900 °C の温度で 30 分 ~ 40 分程度フローして平坦化膜 (15) を形成する。

【0014】その後、図 4 に示すように、全面に 1 μm 程度のフォトリソを塗布してレジスト膜 (16) を形成したのちに、露光・現像して、図 4 に示すように、第 1 の開口 (14A, 14B) が形成された領域上に、第 1 の開口 (14A, 14B) よりも径の大きい孔 (H1, H2) を局所的に形成する。次いで、図 5 に示すようにレジスト膜 (16) をマスクにして、流量 800 SCCM の Ar ガス、流量 60 SCCM の CHF₃ ガス、流量 60 SCCM の CF₄ ガスを用いて、RF パワー 800 W、圧力 1.7 Torr の条件下で、平坦化膜 (15) をエッチング・除去して、第 1 の開口 (14A, 14B) にまで達す

る第 2 の開口 (15A, 15B) を形成し、第 1 の開口 (14A, 14B) と合わせてコンタクトホールとしたのちに、レジスト膜 (16) を剥離する。

【0015】以上説明したように、本実施例に係る半導体装置の製造方法によれば、図 1 に示すように LOCOS 膜 (12) が形成されたシリコン基板 (11) 上にシリコン窒化膜 (14) を形成して、図 2 に示すように第 1 の開口 (14A, 14B) を形成し、図 3 に示すように全面に平坦化膜 (15) を形成し、図 5 に示すように第 1 の開口 (14A, 14B) の形成領域に第 2 の開口 (15A, 15B) を形成し、これら第 1、第 2 の開口を合わせてコンタクトホールを形成している。

【0016】このようにして形成されたコンタクトホールのコンタクト径は、第 2 の開口 (15A, 15B) の径 (A) には依存せず、コンタクトホールの最下部である第 1 の開口 (14A, 14B) の径 (a) によって規定されるので、従来のように、膜厚の厚い領域にコンタクトホールを形成する際のエッチング工程で、CD ロスが增大して所望のコンタクト径が得られないことを極力抑止することが可能となる。

【0017】また、本発明によれば、第 2 の開口 (15A, 15B) の径を厳密に規定しなくても所望のコンタクト径を得ることができることから、平坦化膜 (15) をエッチングして第 2 の開口 (15A, 15B) を形成する際のエッチング精度はそれほど厳密な条件が要求されず、従来に比して製作が比較的容易になる。さらに、本実施例では、膜質が密で良好なシリコン窒化膜 (14) を第 1 の絶縁膜として用いているので、MOSFET の動作時に生じがちなホットエレクトロン効果に対して強い耐性を得ることが可能になる。

【0018】

【発明の効果】以上説明したように本発明に係る半導体装置の製造方法によれば、半導体基板上に第 1 の絶縁膜を形成し、第 1 の絶縁膜に第 1 の開口を形成し、第 1 の絶縁膜上に、該第 1 の絶縁膜よりも膜厚の厚い第 2 の絶縁膜を形成し、第 1 の開口が形成された領域に対応し、第 1 の開口よりも大きい径の第 2 の開口を第 2 の絶縁膜に形成している。

【0019】このため、従来のように膜厚の厚い領域にコンタクトホールを形成する際のエッチングで、CD ロスが增大して所望のコンタクト径が得られないという問題の発生を極力抑止することが可能となる。また、本発明によれば、第 2 の開口を形成する際のエッチングは比較的余裕度が高く、エッチングの条件をそれほど厳密に検討しなくても所望のコンタクト径を得ることができ、製作が比較的容易になる。

【0020】さらに、特にシリコン窒化膜を第 1 の絶縁膜として用いた場合には、シリコン窒化膜の膜質が密で良好であるため、MOSFET の動作時に生じがちなホットエレクトロン効果に対して強い耐性を得ることが可

能になる。

【図面の簡単な説明】

【図 1】 本発明の実施例に係る半導体装置の製造方法を説明する第 1 の断面図である。

【図 2】 本発明の実施例に係る半導体装置の製造方法を説明する第 1 の断面図である。

【図 3】 本発明の実施例に係る半導体装置の製造方法を説明する第 1 の断面図である。

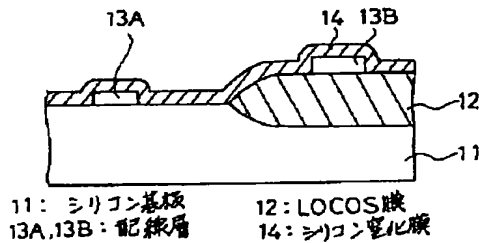
【図 4】 本発明の実施例に係る半導体装置の製造方法を説明する第 1 の断面図である。

【図 5】 本発明の実施例に係る半導体装置の製造方法を説明する第 1 の断面図である。

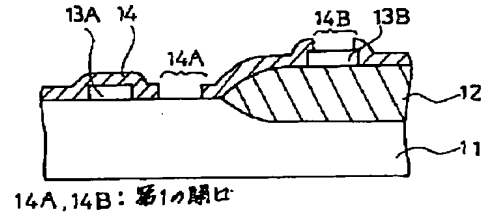
【図 6】 従来例に係る半導体装置の製造方法を説明する第 1 の断面図である。

【図 7】 従来例に係る半導体装置の製造方法を説明する第 2 の断面図である。

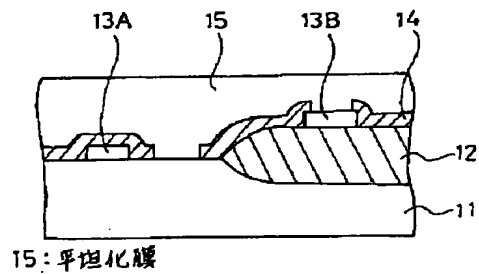
【図 1】



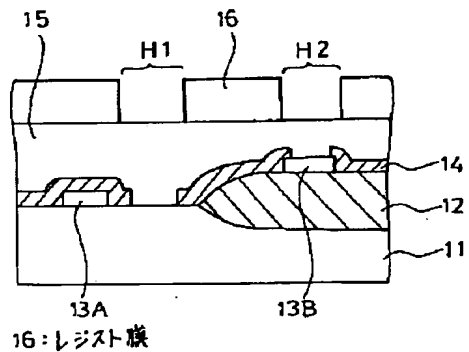
【図 2】



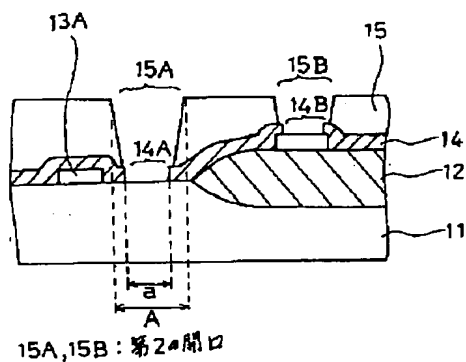
【図 3】



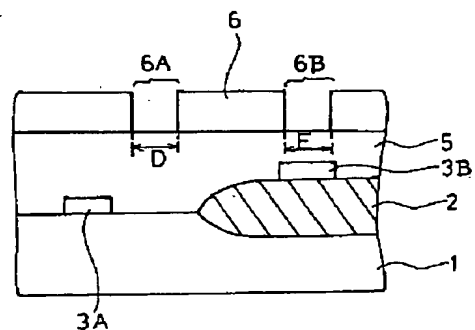
【図 4】



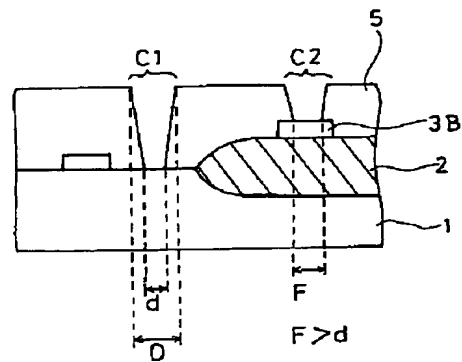
【図 5】



【図 6】



【 図 7 】



フロントページの続き

(51) Int. Cl.⁶

21/318

識別記号

M

庁内整理番号

F I

技術表示箇所

H01L 21/90

21/302

B

M

F

L